

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: **1020040003895 A**  
 (43)Date of publication of application: 13.01.2004

(21)Application number: 1020020038722  
 (22)Date of filing: 04.07.2002

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
 (72)Inventor: DONG, CHA DEOK

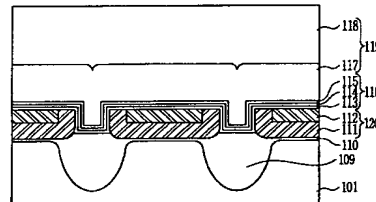
(51)Int. Cl. H01L 21/8247

## (54) METHOD FOR MANUFACTURING FLASH MEMORY CELL

## (57) Abstract:

PURPOSE: A method for manufacturing a flash memory cell is provided to be capable of enhancing coupling ratio of a floating gate and improving interface property between the floating gate and a dielectric film.

CONSTITUTION: An isolation layer(109) with a protrudent part is formed at an isolation region of a substrate(101), wherein the width of the protrudent part is narrower than that of the isolation region. A tunnel oxide layer(110), a doped polysilicon layer(111) and an undoped amorphous silicon layer(112) are sequentially formed on the resultant structure. After the protrudent part is exposed by CMP, the exposed protrudent part is removed and a floating gate(120) is formed. Then, a dielectric film (116) and a control gate(119) are sequentially formed on the resultant structure.



&copy; KIPO 2004

Legal Status

Final disposal of an application (application)

BEST AVAILABLE COPY



10-2004-0003895

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 10-2004-0003895  
H01L 21/8247 (43) 공개일자 2004년01월13일

(21) 출원번호 10-2002-0038722  
(22) 출원일자 2002년07월04일  
(71) 출원인 주식회사 하이닉스반도체  
(72) 발명자 경기 이천시 부발읍 아미리 산136-1  
동차덕  
(74) 대리인 경기도이천시송정동322번지동양아파트101-704  
신영무

심사청구 : 없음

(54) 플래시 메모리 셀의 제조 방법

요약

본 발명은 플래시 메모리 셀의 제조 방법에 관한 것으로, 트렌치형 소자 분리막 상부에 형성되는 돌출부의 폭을 좁혀 플로팅 게이트가 형성될 영역을 보다 넓게 확보하고, 플로팅 게이트를 고농도 폴리실리콘층 및 비정질 실리콘층의 적층 구조로 형성함으로써, 플로팅 게이트의 컵링 비를 증가시키면서 플로팅 게이트와 터널 산화막의 계면 특성뿐만 아니라 플로팅 게이트와 유전체막의 계면 특성을 동시에 향상시켜 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있는 플래시 메모리 셀의 제조 방법이 개시된다.

도표도

도 1a

색인어

플래시 메모리, 플로팅 게이트, 계면 특성, 그레이н 바운더리, 컵링 비

명세서

도면의 간단한 설명

도 1a 내지 도 1m은 본 발명에 따른 플래시 메모리 셀의 제조 방법을 설명하기 위한 소자의 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

101 : 반도체 기판 102 : 패드 산화막  
103 : 패드 질화막 104 : 트렌치  
105 : 희생 산화막 106 : 라운딩 산화막  
107 : 라이너 산화막 108 : 절연 물질  
109 : 소자 분리막 109a : 돌출부  
110 : 터널 산화막 111 : 제1 실리콘층  
112 : 제2 실리콘층 113 : 하부 산화막  
114 : 질화막 115 : 상부 산화막  
116 : 유전체막 117 : 제3 실리콘층  
118 : 실리콘사이드층 119 : 콘트롤 게이트  
120 : 플로팅 게이트

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래시 메모리 셀의 제조 방법에 관한 것으로, 특히 플로팅 게이트의 커플링 비를 증가시키고 플로팅 게이트 상/하부의 계면 특성을 향상시킬 수 있는 플래시 메모리 셀의 제조 방법에 관한 것이다.

모든 반도체 소자의 제조 공정에서는 반도체 기판에 형성된 각각의 소자를 전기적으로 분리시키기 위하여 소자 분리 영역에 소자 분리막을 형성한다. 종래에는 LOCOS(Local oxidation) 공정으로 소자 분리막을 형성하였으나, 소자의 집적도가 높아짐에 따라, 최근에는 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성한 후 트렌치에 절연 물질을 매립하는 공정으로 소자 분리막을 형성한다. 이러한 소자 분리막을 트렌치형 소자 분리막이라 한다.

트렌치형 소자 분리막은 일반적으로 반도체 기판 상에 소자 분리 영역을 노출시키는 패드 산화막 및 패드 질화막을 형성한 후 소자 분리 영역의 반도체 기판을 식각한 후 절연 물질층을 매립하여 형성하기 때문에, 패드 질화막 및 패드 산화막을 제거하여도 패드 질화막 및 패드 산화막 사이에 매립된 절연 물질층은 그대로 잔류된다. 이로 인하여, 절연 물질층으로 이루어진 소자 분리막은 트렌치에 매립된 형태로 형성되면서, 동시에 상부가 반도체 기판의 표면보다 높게 돌출된 형태로 형성된다.

플래시 메모리 셀을 제조함에 있어서, 소자 분리막을 상기에서 서술한 트렌치형 소자 분리막으로 형성할 경우 플로팅 게이트의 분리(Isolation)를 위한 제1 폴리실리콘층 마스크 및 식각(Poly-1 mask & etch)과 같은 마스크 패턴링(Mask patterning) 공정 시, 마스크 임계 치수(Critical Dimension; CD)의 변화(Variation)에 의해 균일도(Uniformity)가 저하되어 균일한 플로팅 게이트를 형성하기가 어려워지고, 커플링 비의 변화(Coupling ratio variation)에 의해 프로그램/소거 불량(Program/erase fail) 등의 문제가 발생된다.

플로팅 게이트가 균일하게 형성되지 않으면 셀마다 커플링 비의 차이가 심화되고, 이에 따라 셀을 프로그램하거나 소거할 때 일부 셀에서 과도 소거(Over erase)가 발생될 수 있다. 또한, 커플링 비가 낮은 상태로 셀이 제조되면 소자의 동작 속도가 저하되고 낮은 전압에 의한 소자의 동작이 불가능해져 소자의 전기적 특성을 저하시킨다.

그리고, STI(Shallow Trench Isolation) 또는 NS-LOCOS(Nitride spacer-local oxidation) 공정으로 소자 분리막을 형성할 경우, 후속 식각 공정에서 소자 분리막과 액티브 영역(Active region)의 경계에 흔히 발생되는 움푹 들어간 형태의 모우트(Moat)에 의하여 소자의 전기적 특성이 저하되거나 불량이 발생할 수도 있다.

또한, 플로팅 게이트를 도프트 폴리실리콘(Doped polysilicon)으로 형성하면, 유전체막(예를 들어, ONO막)을 형성하기 전에 도프트 폴리실리콘층의 노출된 부분의 그레인 바운더리(Grain boundary) 영역에 격리(Segregation)된 불순물(Dopant)에 의한 비정상적인 산화로 인하여 불균일한 산화막이 형성된다. 이 때문에, 유전체막을 형성하면 국부적으로 유전체막의 두께가 달라지는 현상이 발생되고, 그레인 바운더리에 트랩(Trap)되는 차지(charge)의 양이 증가하여 소자의 동작 특성을 저하시키는 문제점이 발생된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 트렌치형 소자 분리막 상부에 형성되는 돌출부의 폭을 좁혀 플로팅 게이트가 형성될 영역을 보다 넓게 확보하고, 플로팅 게이트를 고농도 폴리실리콘층 및 비정질 실리콘층의 적층 구조로 형성함으로써, 플로팅 게이트의 커플링 비를 증가시키면서 플로팅 게이트와 터널 산화막의 계면 특성뿐만 아니라 플로팅 게이트와 유전체막의 계면 특성을 동시에 향상시켜 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있는 플래시 메모리 셀의 제조 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

본 발명에 따른 플래시 메모리 셀의 제조 방법은 반도체 기판의 소자 분리 영역에 반도체 기판의 표면보다 높게 돌출되고 소자 분리 영역의 폭보다 좁은 돌출부를 구비한 소자 분리막을 형성하는 단계와, 전체 상부에 터널 산화막을 형성하는 단계와, 전체 상부에 도프트 폴리실리콘층 및 언도프트 비정질실리콘층을 순차적으로 형성하는 단계와, 소자 분리막의 돌출부 표면이 노출되도록 화학적 기계적 연마를 실시하는 단계와, 소자 분리막의 돌출부를 제거하는 단계와, 전체 상부에 유전체막, 콘트롤 게이트용 폴리실리콘층 및 실리사이드층을 형성한 후 콘트롤 게이트 마스크를 이용한 식각 공정으로 실리사이드층, 콘트롤 게이트용 폴리실리콘층 및 유전체막을 패터닝하고, 자기 정렬 식각 공정으로 도프트 폴리실리콘층, 비정질실리콘층을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

상기에서, 소자 분리막의 돌출부의 높이는 1500 내지 2000 Å인 것을 특징으로 한다.

도프트 실리콘층은 소자 분리막의 돌출부에 의해 발생된 단차에 의해 중앙에 트렌치가 형성된 오목한 구조(凹)로 형성되고, 비정질실리콘층은 화학적 기계적 연마에 의해 도프트 폴리실리콘층의 오목한 부분이 트렌치에만 잔류되는 것을 특징으로 하며, 도프트 폴리실리콘층에 포함된 불순물은 후속 열공정 시 인도

한 후에는 라이너 산화막(107)을 치밀화하고 막질을 향상시키기 위하여 1000 내지 1100℃의 온도에서 질소( $N_2$ ) 가스 분위기로 20 내지 30분간 어닐링을 실시한다.

도 1f를 참조하면, 패드 산화막(102) 및 패드 질화막(103) 사이의 공간과 트렌치(도 1e의 104)가 완전히 매립되도록 전체 상부에 절연 물질층을 형성한다. 이때, 절연 물질층은 고밀도 플라즈마(High Density Plasma; HDP) 산화막(108)으로 형성하는 것이 가능하며, 5000 내지 10000 Å의 두께로 형성한다.

이후, 화학적 기계적 연마를 실시하여 패드 질화막(103) 상부의 고밀도 플라즈마 산화막을 제거한다. 화학적 기계적 연마를 실시한 후에는 노출된 패드 질화막(103)의 표면에 잔존할 수 있는 산화막을 제거하기 위하여 BOE 또는 HF를 이용한 세정 공정을 실시한다. 이로써, 라운딩 산화막(106), 라이너 산화막(107) 및 고밀도 플라즈마 산화막(108)으로 이루어진 소자 분리막(109)이 형성된다.

한편, 후속 공정에서 패드 질화막(103)이 완전히 제거된 후 반도체 기판(101)의 표면 위로 돌출되는 소자 분리막(109)의 높이는 화학적 기계적 연마를 실시한 후 잔류하는 패드 질화막(103)의 두께에 따라 결정된다. 따라서, 화학적 기계적 연마를 실시하는 과정에서 고밀도 플라즈마 산화막이 제거되고 패드 질화막(103)이 노출되면서 패드 질화막(103)의 상부가 과도하게 제거되면, 반도체 기판(101)의 표면보다 높게 돌출되어 잔류하는 소자 분리막(109)의 높이가 낮아지게 된다. 이는, 후속 공정에서 형성될 플로팅 게이트용 폴리실리콘층의 높이에도 영향을 준다. 그러므로, 이러한 소자 분리막(109)의 돌출된 상부가 낮아지지 않도록 화학적 기계적 연마 공정의 공정 조건을 제어하여, 바람직하게는 패드 질화막(103)이 제거된 상태에서 소자 분리막(109)의 돌출된 상부의 높이가 1500 내지 2000 Å이 되도록 공정 조건을 제어한다.

도 1g를 참조하면, 패드 질화막(도 1f의 103)을 제거한다. 패드 질화막은 인산( $H_3PO_4$ )을 이용하여 제거한다. 이로써, 소자 분리막(109)의 상부가 돌출(109a)되고, 소자 형성 영역에서는 패드 산화막(102)의 표면이 노출된다.

도 1h를 참조하면, 식각 공정을 실시하여 소자 분리막의 돌출부(109a)의 꼭을 좁힌다.

이때, 식각 공정을 실시하면 소자 분리막의 돌출부(109a)의 상부 및 측면과 반도체 기판(101) 상부에 형성된 패드 산화막(102)이 동일한 비율로 식각되며, 소자 분리막의 돌출부(109a)가 목표 꼭이 될 때까지 식각 공정의 시간을 조절한다. 한편, 식각 공정은 소자 분리막의 돌출부(109a)가 1500 내지 2000 Å의 높이로 잔류하도록 실시한다. 이러한 식각 공정은  $H_2O:HF$ 가 50:1 내지 100:1의 비율로 혼합된 희석 불화수소산(DHF)과 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 실시한다.

이로써, 소자 분리막(109)의 가장 자리는 반도체 기판(101)의 표면과 거의 비슷한 높이로 평탄해지고, 반도체 기판(101)의 표면보다 높게 돌출된 소자 분리막(109)의 돌출부(109a)는 꼭이 좁아진다. 이때, 돌출부(109a)의 꼭을 좁힐수록 최종적으로 형성되는 플로팅 게이트의 간격을 보다 더 좁힐 수 있으며, 따라서 플로팅 게이트의 커플링비와 집적도를 향상시킬 수 있다.

상기의 형태로 소자 분리막(109)을 형성함으로써, 반도체 기판(101)의 상부에서는 반도체 기판(101)의 활성 영역보다 패턴을 보다 넓게 형성할 수 있는 영역을 확보할 수 있게 된다.

이후, 도면에는 도시되어 있지 않지만, HF 용액을 이용한 세정 공정으로 반도체 기판(101)의 상부에 잔류하는 패드 산화막(102)을 제거한 후 소자가 형성될 활성 영역의 반도체 기판(101) 상부에 750 내지 900℃의 온도에서 습식 또는 건식 산화 방식으로 50 내지 70 Å의 두께를 갖는 스크린 산화막(Screen oxide; 도 1i의 110)을 형성한다. 스크린 산화막이 형성되면 이온 주입 공정을 통해 활성 영역의 반도체 기판(101)에 웰(도시되지 않음)을 형성하고, 트랜지스터 또는 플래시 메모리 셀과 같은 소자의 문턱 전압을 조절하기 위한 문턱 전압 조절층(도시되지 않음)을 반도체 기판(101)의 소정 깊이에 형성한다.

도 1i를 참조하면, 스크린 산화막(도시되지 않음)을 제거한 후 반도체 기판(101)의 활성 영역 상부에 터널 산화막(110) 및 제1 실리콘층(111)을 순차적으로 형성한다. 이때, 제1 실리콘층(111)에는 소자 분리막의 돌출부(109a)에 의한 단차가 발생된다.

상기에서, 스크린 산화막은  $H_2O:HF$ 가 50:1 내지 100:1의 비율로 혼합된 희석 불화수소산(DHF)과 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 제거한다.

한편, 터널 산화막(110)은 750 내지 800℃의 온도에서 습식 산화 공정으로 형성하고, 이후 900 내지 910℃의 온도에서 질소 분위기로 20 내지 30분간 어닐링을 실시하여 반도체 기판(101)과 터널 산화막(110)의 계면 결합 밀도를 최소화한다. 또한, 플로팅 게이트를 형성하기 위한 제1 실리콘층(111)은 불순물이 고농도로 도핑된 폴리실리콘층으로 형성한다. 좀 더 상세하게 설명하면,  $SiH_4$  또는  $Si_2H_6$  중 어느 하나와  $PH_3$  가스를 소오스 가스로 이용하여 3.0E20 내지 4.5E20 atoms/cc의 불순물 농도로 LP-CVD(Low Pressure Chemical Vapor Deposition)법으로 형성한다. 또한, 제1 실리콘층(111)은 전계가 한곳에 집중되지 않도록 그레인 사이즈가 최소화하기 위하여 580 내지 620℃의 온도와 0.1 내지 3 Torr의 낮은 압력 조건에서 형성하며, 500 내지 800 Å의 두께로 형성한다.

도 1j를 참조하면, 제1 실리콘층(111) 상부에 제2 실리콘층(112)을 형성한다. 이때, 제2 실리콘층(112)은 단차가 발생한 제1 실리콘층(111)의 사이를 완전히 매립할 수 있을 정도의 두께로 형성한다. 제2 실리콘층(112)을 형성하기 전에 제1 실리콘층(111)의 표면에 형성된 자연 산화막을 제거하기 위하여 세정 공정을 실시할 수 있다.

상기에서, 플로팅 게이트를 형성하기 위한 제2 실리콘층(112)은 비정질 실리콘층으로 형성한다. 좀 더 상세하게 설명하면, 480 내지 530℃의 온도와 0.1 내지 3 Torr의 낮은 압력 조건에서  $SiH_4$  또는  $Si_2H_6$  중 어느 하나를 소오스 가스로 이용한 LP-CVD법으로 형성하며, 500 내지 1000 Å의 두께로 형성한다. 이때, 제2 실리콘층(112)에는 불순물이 도핑되지 않은 상태로 형성되지만, 후속 열공정에서 제1 실리콘층(111)에 고농도로 주입된 불순물이 제2 실리콘층(112)으로 확산되어 제2 실리콘층(112)도 전도성을 갖게 된다. 제1

프트 비정질실리콘층으로 확산되는 것을 특징으로 한다.

한편, 도프트 폴리실리콘층은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  중 어느 하나와  $\text{PH}_3$  가스를 소오스 가스로 이용하여 3.0E20 내지 4.5E20 atoms/cc의 불순물이 도핑되도록 LP-CVD법으로 형성하는 것을 특징으로 하며, 580 내지 620 °C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서 500 내지 800 Å의 두께로 형성되는 것을 특징으로 한다.

또한, 언도프트 비정질실리콘층은 480 내지 530°C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  중 어느 하나를 소오스 가스로 이용한 LP-CVD법으로 형성하는 것을 특징으로 하며, 500 내지 1000 Å의 두께로 형성되는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 1a 내지 도 1m은 본 발명에 따른 플래시 메모리 셀의 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(101)의 전체 상부에 결정결함이 발생하는 것을 억제하고 표면 처리를 실시하기 위하여 패드 산화막(102) 및 패드 질화막(103)을 순차적으로 형성한다.

패드 산화막(102)은 70 내지 100 Å의 두께로 형성하며, 750 내지 900°C의 온도 범위에서 건식 산화 방법이나 습식 산화 방법으로 형성한다. 패드 질화막(103)은 2500 내지 3200 Å의 두께로 형성하며, LP-CVD법을 이용하여 형성할 수 있다. 이때, 패드 질화막(103)의 두께는 상기의 조건으로 한정되지 않고, 후속 공정에서 화학적 기계적 연마 공정을 마지막 공정으로 실시하여 소자 분리막을 형성한 후 패드 질화막을 제거하였을 때 소자 분리막의 상부가 반도체 기판(101)의 표면보다 최대한 높게 돌출되도록 공정 조건에 따라 패드 질화막(103)의 두께를 결정할 수 있다.

한편, 패드 산화막(102)을 형성하기 전에 세정 공정을 실시할 수도 있다. 이때, 세정 공정은  $\text{H}_2\text{O}:\text{HF}$ 가 50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시하거나,  $\text{NH}_4\text{F}:\text{HF}$ 가 4:1 내지 7:1로 혼합된 혼합 용액을 1:100 내지 1:300의 비율로  $\text{H}_2\text{O}$ 에 희석시킨 B0E(Buffered Oxide Etchant)와  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시한다.

도 1b를 참조하면, 소자 분리 마스크를 이용한 식각 공정으로 패드 질화막(103) 및 패드 산화막(102)을 순차적으로 식각하여 반도체 기판(101)의 소자 분리 영역을 노출시킨다. 이로써, 반도체 기판(101)의 소자 분리 영역을 노출시키는 패드 산화막(102) 및 패드 질화막(103)이 적층 구조로 형성된다.

이후, 반도체 기판(101)의 노출된 영역을 식각하여 소정의 깊이로 트렌치(104)를 형성한다. 이때, 패드 질화막(103)은 식각 면이 수직이 되도록 하며, 트렌치(104)는 측벽이 80 내지 90도의 경사각을 갖도록 형성한다.

도 1c를 참조하면, 트렌치(104)가 형성되면, 반도체 기판(101)에 트렌치(104)를 형성하는 과정에서 식각 공정에 의해 트렌치(104)의 측벽 및 저면에 발생한 식각 손상을 제거하기 위하여 측벽 희생 산화 공정을 실시한다.

이로 인해, 트렌치(104)의 측벽 및 저면의 손상된 반도체 기판(101)의 표면이 산화되어 희생 산화막(105)이 형성된다. 이러한 측벽 희생 산화 공정은 1000 내지 1150°C의 온도에서 건식 산화 방식으로 실시하며, 반도체 기판(101)이 150 내지 300 Å 정도 산화되도록 실시한다.

도 1d를 참조하면, 측벽 희생 산화 공정에 의해 형성된 희생 산화막(도 1c의 105)의 두께를 목표 두께로 세정 공정을 실시하여 희생 산화막을 제거한 후, 트렌치(104)의 저면 및 상부 모서리를 동굴게 형성하기 위하여 측벽 산화 공정을 실시한다. 이로 인해, 트렌치(104)의 측벽 및 저면의 반도체 기판(101)이 일부 산화되어 라운딩 산화막(106)이 형성되면서 트렌치(104)가 항아리 형태로 변한다. 한편, 측벽 산화 공정으로 라운딩 산화막(106)을 형성하면서, 패드 산화막(102)의 두께도 증가시킨다.

이렇게, 측벽 산화 공정으로 패드 산화막(102)의 두께를 증가시키는 것은, 후속 공정에서 소자 분리막의 돌출된 상부 쪽을 좁히기 위하여 실시하는 세정 공정에서, 소자 분리 영역을 제외한 소자 형성 영역 상에서의 산화막 식각 마진을 확보하기 위해서이다. 뿐만 아니라, 세정 공정에 의해서 소자 분리막의 상부 모서리가 식각되어 반도체 기판(101)의 계면에서 움푹 파인 모우트가 발생되는 것을 방지할 수도 있다.

이러한 측벽 산화 공정은 750 내지 850°C의 온도에서 습식 산화 방식으로 반도체 기판(101)이 300 내지 450 Å 정도 산화되도록 실시한다.

희생 산화막을 제거한 후 측벽 산화 공정을 실시하기 전에 세정 공정을 실시할 수 있다. 이때, 세정 공정은  $\text{H}_2\text{O}:\text{HF}$ 가 50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시하거나,  $\text{NH}_4\text{F}:\text{HF}$ 가 4:1 내지 7:1로 혼합된 혼합 용액을 1:100 내지 1:300의 비율로  $\text{H}_2\text{O}$ 에 희석시킨 B0E(Buffered Oxide Etchant)와  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시한다.

도 1e를 참조하면, 트렌치(104)의 측벽 및 저면을 포함한 전체 상부에 라이너 산화막(Liner oxide layer; 107)을 형성한다. 라이너 산화막(107)은 후속 공정에서 소자 분리막을 형성하기 위하여 트렌치(104)를 절연 물질층으로 매립할 때 트렌치(104) 영역에서 절연 물질층의 접착(Adhesion) 특성을 향상시키고, 후속 식각 공정에 의해 소자 분리막과 반도체 기판의 경계면이 움푹 파여서 형성되는 모우트(Moat)가 발생되는 것을 방지하기 위하여 형성한다. 이러한 라이너 산화막(107)은  $\text{OCS}(\text{SiH}_2\text{Cl}_2)$ 를 소오스로 하는 HTD(Hot Temperature Oxide) 박막으로 형성하며, 100 내지 120 Å의 두께로 형성한다. 라이너 산화막(107)을 형성

프트 비정질실리콘층으로 확산되는 것을 특징으로 한다.

한편, 도프트 폴리실리콘층은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  중 어느 하나와  $\text{PH}_3$  가스를 소오스 가스로 이용하여 3.0E 내지 4.5E20 atoms/cc의 불순물이 도핑되도록 LP-CVD법으로 형성하는 것을 특징으로 하며, 580 내지 600°C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서 500 내지 800Å의 두께로 형성되는 것을 특징으로 한다.

또한, 연도프트 비정질실리콘층은 480 내지 530°C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  중 어느 하나를 소오스 가스로 이용한 LP-CVD법으로 형성하는 것을 특징으로 하며, 500 내지 1000Å의 두께로 형성되는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 1a 내지 도 1m은 본 발명에 따른 플래시 메모리 셀의 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(101)의 전체 상부에 결정결함이 발생하는 것을 억제하고 표면 처리를 시하기 위하여 패드 산화막(102) 및 패드 질화막(103)을 순차적으로 형성한다.

패드 산화막(102)은 70 내지 100Å의 두께로 형성하며, 750 내지 900°C의 온도 범위에서 건식 산화 또는 습식 산화 방법으로 형성한다. 패드 질화막(103)은 2500 내지 3200Å의 두께로 형성하며, LP-CVD를 이용하여 형성할 수 있다. 이때, 패드 질화막(103)의 두께는 상기의 조건으로 한정되지 않고, 후속 공정에서 화학적 기계적 연마 공정을 마지막 공정으로 실시하여 소자 분리막을 형성한 후 패드 질화막을 거하였을 때 소자 분리막의 상부가 반도체 기판(101)의 표면보다 최대한 높게 돌출되도록 공정 조건에 따라 패드 질화막(103)의 두께를 결정할 수 있다.

한편, 패드 산화막(102)을 형성하기 전에 세정 공정을 실시할 수도 있다. 이때, 세정 공정은  $\text{H}_2\text{O}:\text{HF}$  50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시하거나,  $\text{NH}_4\text{F}:\text{HF}$ 가 4:1 내지 7:1로 혼합된 혼합 용액을 1:100 내지 1:300의 비율로  $\text{H}_2\text{O}$ 에 희석시킨  $\text{BOE}(\text{Buffered Oxide Etchant})$ 와  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시한다.

도 1b를 참조하면, 소자 분리 마스크를 이용한 식각 공정으로 패드 질화막(103) 및 패드 산화막(102)을 순차적으로 식각하여 반도체 기판(101)의 소자 분리 영역을 노출시킨다. 이로써, 반도체 기판(101)의 소자 분리 영역을 노출시키는 패드 산화막(102) 및 패드 질화막(103)이 적층 구조로 형성된다.

이후, 반도체 기판(101)의 노출된 영역을 식각하여 소정의 깊이로 트렌치(104)를 형성한다. 이때, 패드 질화막(103)은 식각 면이 수직이 되도록 하며, 트렌치(104)는 측벽이 80 내지 90도의 경사각을 갖도록 형성한다.

도 1c를 참조하면, 트렌치(104)가 형성되면, 반도체 기판(101)에 트렌치(104)를 형성하는 과정에서 소자 분리막에 의해 트렌치(104)의 측벽 및 저면에 발생한 식각 손상을 제거하기 위하여 측벽 희생 산화 공정을 실시한다.

이로 인해, 트렌치(104)의 측벽 및 저면의 손상된 반도체 기판(101)의 표면이 산화되어 희생 산화막(105)이 형성된다. 이러한 측벽 희생 산화 공정은 1000 내지 1150°C의 온도에서 건식 산화 방식으로 실시하여 반도체 기판(101)이 150 내지 300Å 정도 산화되도록 실시한다.

도 1d를 참조하면, 측벽 희생 산화 공정에 의해 형성된 희생 산화막(도 1c의 105)의 두께를 목표 두께로 세정 공정을 실시하여 희생 산화막을 제거한 후, 트렌치(104)의 저면 및 상부 모서리를 동시에 형성하기 위하여 측벽 산화 공정을 실시한다. 이로 인해, 트렌치(104)의 측벽 및 저면의 반도체 기판(101)이 산화되어 라운딩 산화막(106)이 형성되면서 트렌치(104)가 항아리 형태로 변한다. 한편, 측벽 산화 공정에 의해 라운딩 산화막(106)을 형성하면서, 패드 산화막(102)의 두께도 증가시킨다.

이렇게, 측벽 산화 공정으로 패드 산화막(102)의 두께를 증가시키는 것은, 후속 공정에서 소자 분리막을 돌출된 상부 폭을 좁히기 위하여 실시하는 세정 공정에서, 소자 분리 영역을 제외한 소자 형성 영역에서의 산화막 식각 마진을 확보하기 위해서이다. 뿐만 아니라, 세정 공정에 의해서 소자 분리막의 상부 모서리가 식각되어 반도체 기판(101)의 계면에서 움푹 파인 모우트가 발생하는 것을 방지할 수도 있다.

이러한 측벽 산화 공정은 750 내지 850°C의 온도에서 습식 산화 방식으로 반도체 기판(101)이 300 내지 450Å 정도 산화되도록 실시한다.

희생 산화막을 제거한 후 측벽 산화 공정을 실시하기 전에 세정 공정을 실시할 수 있다. 이때, 세정 공정은  $\text{H}_2\text{O}:\text{HF}$ 가 50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시하거나,  $\text{NH}_4\text{F}:\text{HF}$ 가 4:1 내지 7:1로 혼합된 혼합 용액을 1:100 내지 1:300의 비율로  $\text{H}_2\text{O}$ 에 희석시킨  $\text{BOE}(\text{Buffered Oxide Etchant})$ 와  $\text{SC-1}(\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O})$  용액을 순차적으로 이용하여 실시한다.

도 1e를 참조하면, 트렌치(104)의 측벽 및 저면을 포함한 전체 상부에 라이너 산화막(Liner oxide layer, 107)을 형성한다. 라이너 산화막(107)은 후속 공정에서 소자 분리막을 형성하기 위하여 트렌치(104)의 측벽 및 저면에 물질을 매립할 때 트렌치(104) 영역에서 접착 특성의 접착(Adhesion) 특성을 향상시키고, 식각 공정에 의해 소자 분리막과 반도체 기판의 경계면이 움푹 파여서 형성되는 모우트(Moat)가 발생하는 것을 방지하기 위하여 형성한다. 이러한 라이너 산화막(107)은  $\text{DCS}(\text{SiHCl}_3)$ 를 소오스로 하는  $\text{HTO}(\text{High Temperature Oxide})$  박막으로 형성하며, 100 내지 120Å의 두께로 형성한다. 라이너 산화막(107)을

한 후에는 라이너 산화막(107)을 치밀화하고 막질을 향상시키기 위하여 1000 내지 1100℃의 온도에서 질소( $N_2$ ) 가스 분위기로 20 내지 30분간 어닐링을 실시한다.

도 1f를 참조하면, 패드 산화막(102) 및 패드 질화막(103) 사이의 공간과 트렌치(도 1e의 104)가 완전히 매립되도록 전체 상부에 절연 물질층을 형성한다. 이때, 절연 물질층은 고밀도 플라즈마(High Density Plasma; HDP) 산화막(108)으로 형성하는 것이 가능하며, 5000 내지 10000 Å의 두께로 형성한다.

이후, 화학적 기계적 연마를 실시하여 패드 질화막(103) 상부의 고밀도 플라즈마 산화막을 제거한다. 화학적 기계적 연마를 실시한 후에는 노출된 패드 질화막(103)의 표면에 잔존할 수 있는 산화막을 제거하기 위하여 80E 또는 HF를 이용한 세정 공정을 실시한다. 이로써, 라운딩 산화막(106), 라이너 산화막(107) 및 고밀도 플라즈마 산화막(108)으로 이루어진 소자 분리막(109)이 형성된다.

한편, 후속 공정에서 패드 질화막(103)이 완전히 제거된 후 반도체 기판(101)의 표면 위로 돌출되는 소자 분리막(109)의 높이는, 화학적 기계적 연마를 실시한 후 잔류하는 패드 질화막(103)의 두께에 따라 결정된다. 따라서, 화학적 기계적 연마를 실시하는 과정에서 고밀도 플라즈마 산화막이 제거되고 패드 질화막(103)이 노출되면서 패드 질화막(103)의 상부가 과도하게 제거되면, 반도체 기판(101)의 표면보다 높게 돌출되어 잔류하는 소자 분리막(109)의 높이가 낮아지게 된다. 이는, 후속 공정에서 형성될 클로팅 게이트용 폴리실리콘층의 높이에도 영향을 준다. 그러므로, 이러한 소자 분리막(109)의 돌출된 상부가 낮아지지 않도록 화학적 기계적 연마 공정의 공정 조건을 제어하여, 바람직하게는 패드 질화막(103)이 제거된 상태에서 소자 분리막(109)의 돌출된 상부의 높이가 1500 내지 2000 Å이 되도록 공정 조건을 제어한다.

도 1g를 참조하면, 패드 질화막(도 1f의 103)을 제거한다. 패드 질화막은 인산( $H_3PO_4$ )을 이용하여 제거한다. 이로써, 소자 분리막(109)의 상부가 돌출(109a)되고, 소자 형성 영역에서는 패드 산화막(102)의 표면이 노출된다.

도 1h를 참조하면, 식각 공정을 실시하여 소자 분리막의 돌출부(109a)의 꼭을 좁힌다.

이때, 식각 공정을 실시하면 소자 분리막의 돌출부(109a)의 상부 및 측면과 반도체 기판(101) 상부에 형성된 패드 산화막(102)이 동일한 비율로 식각되며, 소자 분리막의 돌출부(109a)가 목표 폭이 될 때까지 식각 공정의 시간을 조절한다. 한편, 식각 공정은 소자 분리막의 돌출부(109a)가 1500 내지 2000 Å의 높이로 잔류하도록 실시한다. 이러한 식각 공정은  $H_2O:HF$ 가 50:1 내지 100:1의 비율로 혼합된 희석 불화수소산(DHF)과 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 실시한다.

이로써, 소자 분리막(109)의 가장 자리는 반도체 기판(101)의 표면과 거의 비슷한 높이로 평탄해지고, 반도체 기판(101)의 표면보다 높게 돌출된 소자 분리막(109)의 돌출부(109a)는 폭이 좁아진다. 이때, 돌출부(109a)의 꼭을 좁힐수록 최종적으로 형성되는 클로팅 게이트의 간격을 보다 더 좁힐 수 있으며, 따라서 클로팅 게이트의 커패시턴스와 접착도를 향상시킬 수 있다.

상기의 형태로 소자 분리막(109)을 형성함으로써, 반도체 기판(101)의 상부에서는 반도체 기판(101)의 활성 영역보다 패턴을 보다 넓게 형성할 수 있는 영역을 확보할 수 있게 된다.

이후, 도면에는 도시되어 있지 않지만, HF 용액을 이용한 세정 공정으로 반도체 기판(101)의 상부에 잔류하는 패드 산화막(102)을 제거한 후 소자가 형성될 활성 영역의 반도체 기판(101) 상부에 750 내지 900℃의 온도에서 습식 또는 건식 산화 방식으로 50 내지 70 Å의 두께를 갖는 스크린 산화막(Screen oxide; 도 1i의 110)을 형성한다. 스크린 산화막이 형성되면 이온 주입 공정을 통해 활성 영역의 반도체 기판(101)에 웰(도시되지 않음)을 형성하고, 트렌치스터 또는 플래시 메모리 셀과 같은 소자의 문턱 전압을 조절하기 위한 문턱 전압 조절층(도시되지 않음)을 반도체 기판(101)의 소정 깊이에서 형성한다.

도 1i를 참조하면, 스크린 산화막(도시되지 않음)을 제거한 후 반도체 기판(101)의 활성 영역 상부에 터널 산화막(110) 및 제1 실리콘층(111)을 순차적으로 형성한다. 이때, 제1 실리콘층(111)에는 소자 분리막의 돌출부(109a)에 의한 단차가 발생된다.

상기에서, 스크린 산화막은  $H_2O:HF$ 가 50:1 내지 100:1의 비율로 혼합된 희석 불화수소산(DHF)과 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 제거한다.

한편, 터널 산화막(110)은 750 내지 800℃의 온도에서 습식 산화 공정으로 형성하고, 이후 900 내지 910℃의 온도에서 질소 분위기로 20 내지 30분간 어닐링을 실시하여 반도체 기판(101)과 터널 산화막(110)의 계면 결합 밀도를 최소화한다. 또한, 클로팅 게이트를 형성하기 위한 제1 실리콘층(111)은 불순물이 고농도로 도핑된 폴리실리콘층으로 형성한다. 좀 더 상세하게 설명하면,  $SiH_4$  또는  $Si_2H_6$  중 어느 하나와  $PH_3$  가스를 소오스 가스로 이용하여  $3.0E20$  내지  $4.5E20$  atoms/cc의 불순물이 도핑되도록 LP-CVD(Low Pressure Chemical Vapor Deposition)법으로 형성한다. 또한, 제1 실리콘층(111)은 전계가 한곳에 집중되지 않도록 그레인 사이즈가 최소화하기 위하여 580 내지 620℃의 온도와 0.1 내지 3 Torr의 낮은 압력 조건에서 형성하며, 500 내지 800 Å의 두께로 형성한다.

도 1j를 참조하면, 제1 실리콘층(111) 상부에 제2 실리콘층(112)을 형성한다. 이때, 제2 실리콘층(112)은 단차가 발생된 제1 실리콘층(111)의 사이를 완전히 매립할 수 있을 정도의 두께로 형성한다. 제2 실리콘층(112)을 형성하기 전에 제1 실리콘층(111)의 표면에 형성된 자연 산화막을 제거하기 위하여 세정 공정을 실시할 수 있다.

상기에서, 클로팅 게이트를 형성하기 위한 제2 실리콘층(112)은 비정질 실리콘층으로 형성한다. 좀 더 상세하게 설명하면, 480 내지 530℃의 온도와 0.1 내지 3 Torr의 낮은 압력 조건에서  $SiH_4$  또는  $Si_2H_6$  중 어느 하나를 소오스 가스로 이용한 LP-CVD법으로 형성하며, 500 내지 1000 Å의 두께로 형성한다. 이때, 제2 실리콘층(112)에는 불순물이 도핑되지 않은 상태로 형성되지만, 후속 열공정에서 제1 실리콘층(111)에 고농도로 주입된 불순물이 제2 실리콘층(112)으로 확산되어 제2 실리콘층(112)도 전도성을 갖게 된다. 제1

실리콘층(111)의 불순물이 제2 실리콘층(112)으로 확산되더라도 제1 실리콘층(111)에는 불순물이 고농도로 주입된 상태이기 때문에 제1 실리콘층(111)의 불순물 농도나 전도 특성에는 문제가 발생되지 않는다.

도 1k를 참조하면, 소자 분리막(109)의 돌출부(109a) 표면이 노출되도록 화학적 기계적 연마를 실시한다. 이로써, 제1 실리콘층(111)이 소자 분리막의 돌출부(109a)에 의해 격리되고, 제2 실리콘층(112)도 소자 분리막의 돌출부(109a)에 의해 격리되면서, 소자 분리막의 돌출부(109a) 사이에는 제1 및 제2 실리콘층(111 및 112)이 적층 구조로 형성된다. 좀더 상세하게 설명하면, 제1 실리콘층(111)은 소자 분리막의 돌출부(109a)에 의해 발생된 단차에 의해 중앙에 트렌치가 형성된 오목한 구조(凹)로 형성되며, 제2 실리콘층(112)은 제1 실리콘층(111)의 오목한 부분인 트렌치에만 잔류된다. 여기서, 화학적 기계적 연마 공정은 소자 분리막의 돌출부(109a) 사이에 제1 및 제2 실리콘층(111 및 112)으로 이루어진 적층 구조가 1000 내지 1400 Å의 두께로 잔류하도록 실시한다.

도 1l을 참조하면, 반도체 기판(101)의 표면보다 높게 돌출된 소자 분리막(109a)의 상부 표면이 노출된다. 이렇게 노출된 소자 분리막의 돌출부(109a)를 세정 공정으로 제거한다. 세정 공정은 HF 또는 BOE를 이용하여 실시하며, 이로써 소자 분리막(109)의 돌출부(109a)와 접하던 제1 실리콘층(111)의 측면이 노출되면서 제1 실리콘층(111)의 노출 면적이 증가하여 커플링 비를 보다 더 향상시킬 수 있다.

도 1m를 참조하면, 전체 상부에 유전체막(116), 콘트롤 게이트용 제3 실리콘층(117) 및 실리콘사이드층(118)을 순차적으로 형성한다.

상기에서, 유전체막(116)은 하부 산화막( $\text{SiO}_2$ ; 113), 실리콘 질화막( $\text{Si}_3\text{N}_4$ ; 114) 및 상부 산화막( $\text{SiO}_2$ ; 115)이 순차적으로 적층된 구조인 ONO 구조로 형성할 수 있다. 또한, 실리콘사이드층(118)은 텅스텐 실리콘사이드( $\text{WSi}_x$ )층으로 형성할 수 있다.

이때, 하부 및 상부 산화막(113 및 115)은 우수한 내압과 TDD(Breakdown) 특성이 우수한  $\text{DCS}(\text{SiHCl}_3)$ 와  $\text{N}_2\text{O}$  가스를 소오스 가스로 사용하여 형성한 HTO(Hot Temperature Oxide)막으로 형성할 수 있으며, 실리콘 질화막(114)은 650 내지 800°C의 온도와 1 내지 3 Torr의 주압에서  $\text{DCS}(\text{SiHCl}_3)$ 와  $\text{NH}_3$  가스를 사용한 LP-CVD법으로 형성한다. 유전체막(116)을 ONO 구조로 형성한 후에는 막간의 계면 특성을 향상시키기 위하여 750 내지 800°C의 온도에서 습식 산화 방식으로 스팀 어닐(Steam anneal)을 실시할 수도 있다. 한편, 하부 산화막(113), 실리콘 질화막(114) 및 상부 산화막(115)은 소자 특성에 부합되는 두께로 증착하고 각각의 공정을 시간 지연없이(No time delay) 진행하여 자연 산화막이나 불순물에 의해 오염되는 것을 방지한다. 이때, 바람직하게는 하부 산화막(113)을 35 내지 60 Å의 두께로 형성하고, 실리콘 질화막(114)을 50 내지 65 Å의 두께로 형성하며, 상부 산화막(115)을 35 내지 60 Å의 두께로 형성한다. 또한, 스팀 어닐링은 Si w/f(Monitoring wafer) 기준으로 산화 목표 두께가 150 내지 300 Å이 되도록 실시한다.

이후, 도면에는 도시되어 있지 않지만, 실리콘사이드층(118) 상부에  $\text{SiO}_x\text{N}_y$  또는  $\text{Si}_3\text{N}_4$ 로 이루어진 반사 방지막(도시되지 않음)을 형성한 후 콘트롤 게이트 마스크를 이용한 식각 공정으로 반사 방지막, 실리콘사이드층(118), 제3 실리콘층(117) 및 유전체막(116)을 패터닝하여 제3 실리콘층(117)과 실리콘사이드층(118)으로 이루어진 콘트롤 게이트(119)를 형성한다. 이후, 패터닝된 반사 방지막을 이용한 자기 정렬 식각 공정으로 제1 및 제2 실리콘층(111 및 112)을 패터닝하여 제1 및 제2 실리콘층(111 및 112)으로 이루어진 플로팅 게이트(120)를 형성한다. 이로써, 플래시 메모리 셀이 제조된다.

### 발명의 효과

본 발명은 상기에서 서술한 플래시 메모리 셀의 제조 방법을 통해 다음과 같은 효과를 얻을 수 있다.

첫째, 소자 분리막을 형성하는 과정에서 소자 분리 영역을 정의하기 위한 소자 분리 마스크 하나만이 사용되므로 공정의 난이도를 낮추고 공정 비용을 절감할 수 있다.

둘째, 소자 분리막을 한자리 형태의 트렌치형 소자 분리막으로 형성하여 활성 임계 치수(Active Critical Dimension)를 최소화할 수 있다.

셋째, 트렌치의 측벽 상부 및 저면을 둥글게 형성하기 위하여 측벽 산화 공정을 실시하는 과정에서 패드 산화막의 두께를 증가시켜 패드 질화막 제거 시 소자 분리막의 가장자리 상부에 모우트가 발생하는 것을 방지할 수 있다. 이 경우, 작은 사이즈의 소자를 용이하게 구현할 수 있으며, 임계 치수 변화(Critical Dimension Variation)를 최소화하여 기판 상부에 균일한 플로팅 게이트를 형성할 수 있다.

넷째, 균일한 플로팅 게이트를 형성함으로써 커플링 비가 변하는 것을 방지하여 균일한 값을 유지하여 소자 특성을 향상시킬 수 있다.

다섯째, 플로팅 게이트를 도프트 폴리실리콘층과 언도프트 비정질실리콘층의 적층 구조로 형성함으로써, 터널 산화막과의 계면에는 그레인 사이즈(Grain size)를 최소화하고, 유전체막과의 계면에서는 그레인 바운더리가 영역(grain boundary portion)을 최소화하여 유전체막을 균일하게 형성함과 동시에 8V 안정화 효과를 얻을 수 있다.

여섯째, 측벽 산화 공정 시 형성된 트렌치 상부 모서리의 경사는 활성 임계 치수를 작게 해줌으로써 터널 산화막에 걸리는 커패시턴스를 줄여주어 커플링 비를 극대화할 수 있다.

일곱째, 패드 질화막의 두께, 소자 분리막의 돌출부의 높이 및 폭, 화학적 기계적 연마 공정의 연마 두께와 같은 공정 조건의 조절이 용이하며, 이에 따라 플로팅 게이트의 표면적 조절과 같은 공정 마진을 확보할 수 있다.

여덟째, 복잡한 공정이나 고가의 장비를 추가하지 않고도 기존의 장비와 공정으로 공정 마진을 확보하면





서 0.13 $\mu$ m급 이상의 고집적 플래시 메모리 셀을 용이하게 제조할 수 있다.

#### (57) 청구의 범위

**청구항 1.** 반도체 기판의 소자 분리 영역에 상기 반도체 기판의 표면보다 높게 돌출되고 상기 소자 분리 영역의 폭보다 좁은 돌출부를 구비한 소자 분리막을 형성하는 단계;

전체 상부에 터널 산화막을 형성하는 단계;

전체 상부에 도프트 폴리실리콘층 및 언도프트 비정질실리콘층을 순차적으로 형성하는 단계;

상기 소자 분리막의 돌출부 표면이 노출되도록 화학적 기계적 연마를 실시하는 단계;

상기 소자 분리막의 돌출부를 제거하는 단계;

전체 상부에 유전체막, 콘트롤 게이트용 폴리실리콘층 및 실리사이드층을 형성한 후 콘트롤 게이트 마스크를 이용한 식각 공정으로 상기 실리사이드층, 상기 콘트롤 게이트용 폴리실리콘층 및 상기 유전체막을 패터닝하고, 자기 정렬 식각 공정으로 상기 도프트 폴리실리콘층, 비정질실리콘층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 2.** 제 1 항에 있어서,

상기 소자 분리막의 돌출부의 높이는 1500 내지 2000 Å인 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 3.** 제 1 항에 있어서,

상기 도프트 실리콘층은 상기 소자 분리막의 돌출부에 의해 발생된 단차에 의해 중앙에 트렌치가 형성된 오목한 구조(凹)로 형성되며, 상기 비정질실리콘층은 상기 화학적 기계적 연마에 의해 상기 도프트 폴리실리콘층의 오목한 부분인 트렌치에만 잔류되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 4.** 제 1 항에 있어서,

상기 도프트 폴리실리콘층에 포함된 불순물은 후속 열공정 시 상기 언도프트 비정질실리콘층으로 확산되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 5.** 제 1 항, 제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 도프트 폴리실리콘층은  $\text{SiH}_4$  또는  $\text{SiH}_6$  중 어느 하나와  $\text{PH}_3$  가스를 소오스 가스로 이용하여 3.0E20 내지 4.5E20 atoms/cc의 불순물이 도핑되도록 LP-CVD법으로 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 6.** 제 5 항에 있어서,

상기 도프트 폴리실리콘층은 580 내지 620°C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서 500 내지 800 Å의 두께로 형성되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 7.** 제 1 항, 제 3 항 및 제 4 항 중 어느 한 항에 있어서,

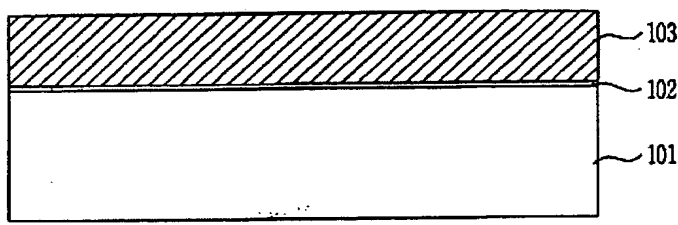
상기 언도프트 비정질실리콘층은 480 내지 530°C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서  $\text{SiH}_4$  또는  $\text{SiH}_6$  중 어느 하나를 소오스 가스로 이용한 LP-CVD법으로 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

**청구항 8.** 제 7 항에 있어서,

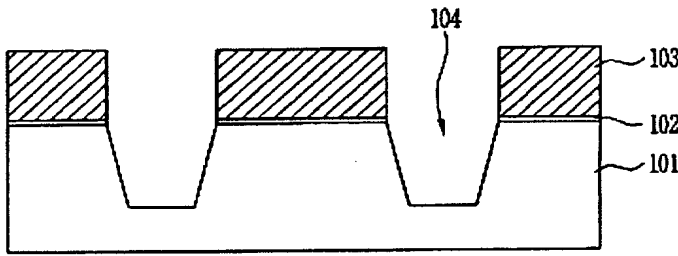
상기 언도프트 비정질실리콘층은 500 내지 1000 Å의 두께로 형성되는 것을 특징으로 하는 플래시 메모리 셀의 제조 방법.

도면

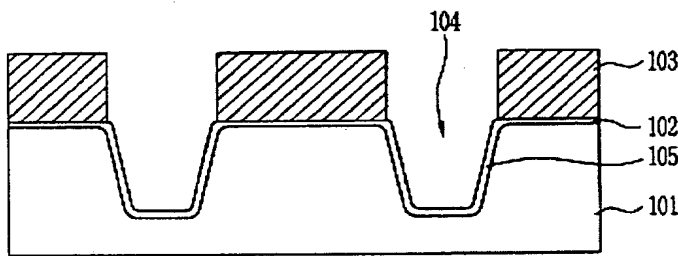
도면 1a



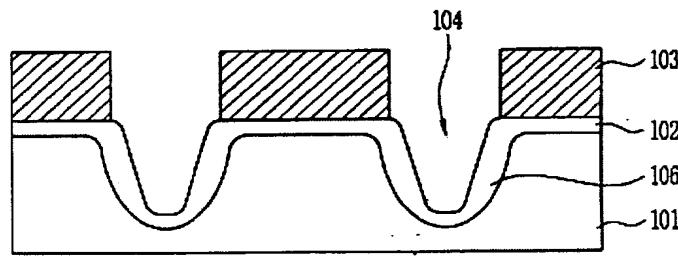
도면 1b



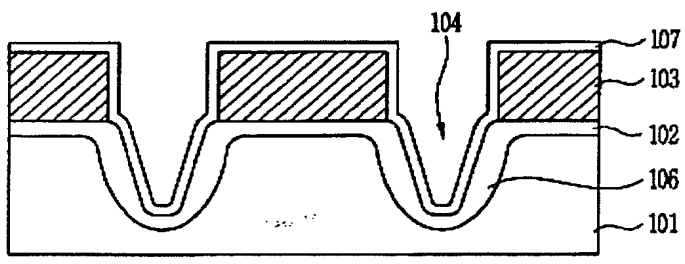
도면 1c



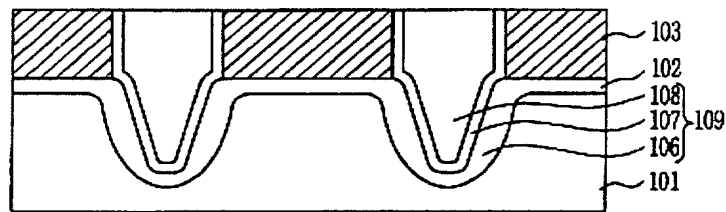
도면 1d



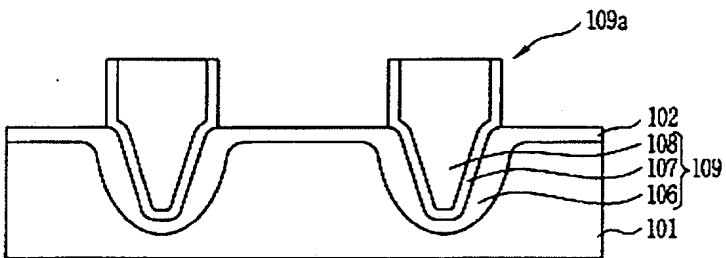
도면 10



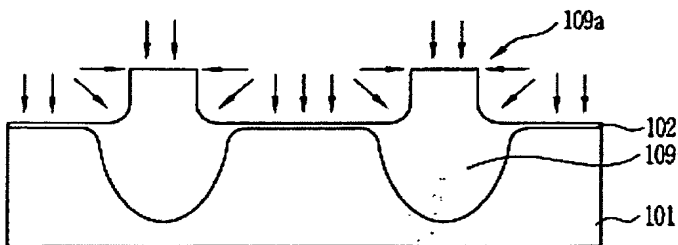
도면 11



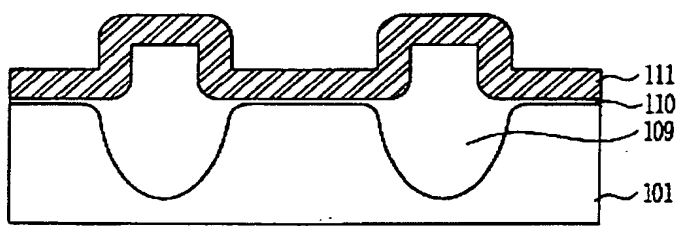
도면 12



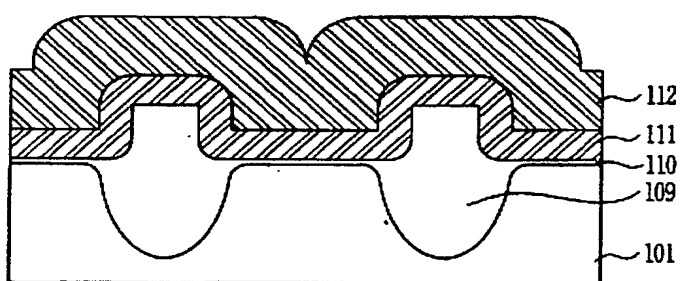
도면 13



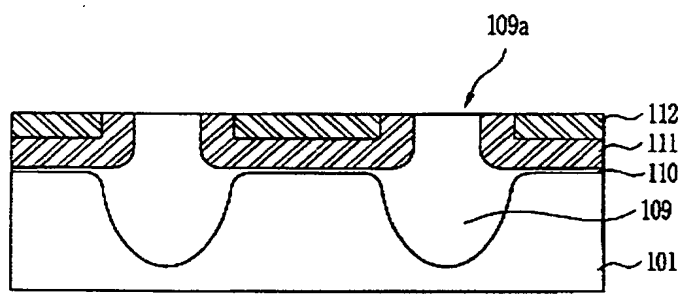
도면1i



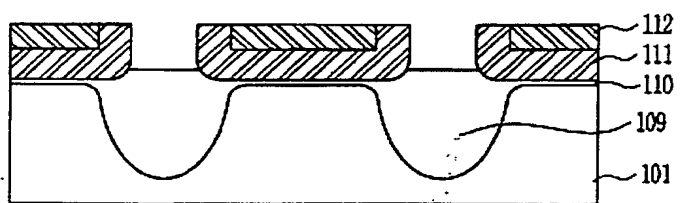
도면1j



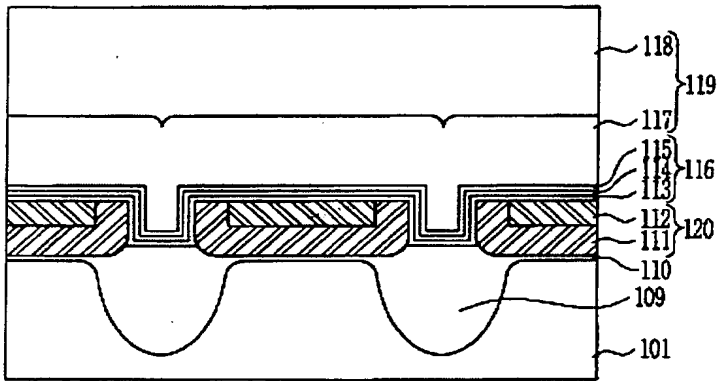
도면1k



도면1l



도 10



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**